

PAT-NO: JP02000121971A
DOCUMENT-IDENTIFIER: JP 2000121971 A
TITLE: MULTIBEAM IMAGE FORMING DEVICE

PUBN-DATE: April 28, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
TORIYAMA, HIDEYUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MINOLTA CO LTD	N/A

APPL-NO: JP10294289

APPL-DATE: October 15, 1998

INT-CL (IPC): G02B026/10 , B41J002/44 , H04N001/113

ABSTRACT:

PROBLEM TO BE SOLVED: To improve image quality by regulating the deviation of the writing positions of plural light beams in a main scanning direction with high accuracy.

SOLUTION: A PLL circuit is composed of a phase comparator 305, an LPF (low-pass filter) 309 and a VCO(voltage control oscillator) 303b. A CPU 301 has a D/A converter 301a for converting a digital value (for example, 8 bit) to an analog value, etc., therein and changes the phase difference of the pixel clock signals CLK 1 and CLK 2 outputted from VCOs 303a and 303b by changing the value of the data to be set in the D/A converter 301a at the time of writing position regulation. The data on the reference control voltage indicating the phase difference between the pixel clock signals CLK 1 and CLK 2 when the writing positions of laser beams LB 1 and LB 2 coincide is stored in a non-volatile memory 310. A CPU 301 sets the data on the reference control voltage in the D/A converter 301a and outputs the control voltage Vcont from the D/A converter 301a to the VCO 303a at the time of image formation.

COPYRIGHT: (C)2000,JPO

Abstract Text - FPAR (2):

SOLUTION: A PLL circuit is composed of a phase comparator 305, an LPF (low-pass filter) 309 and a VCO(voltage control oscillator) 303b. A CPU 301 has a D/A converter 301a for converting a digital value (for example, 8 bit) to an analog value, etc., therein and changes the phase difference of the pixel clock signals CLK 1 and CLK 2 outputted from VCOs 303a and 303b by changing the value of the data to be set in the D/A converter 301a at the time of writing position regulation. The data on the reference control voltage indicating the phase difference between the pixel clock signals CLK 1 and CLK 2 when the writing positions of laser beams LB 1 and LB 2 coincide is stored in a non-volatile memory 310. A CPU 301 sets the data on the reference control voltage in the D/A converter 301a and outputs the control voltage Vcont from the D/A converter 301a to the VCO 303a at the time of image formation.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-121971
(P2000-121971A)

(43)公開日 平成12年4月28日(2000.4.28)

(51) Int.Cl.⁷
G 02 B 26/10
B 41 J 2/44
H 04 N 1/113

識別記号

F I
G 0 2 B 26/10
B 4 1 J 3/00
H 0 4 N 1/04

テーマコード (参考)
2C362
2H045
5C072

審査請求 未請求 請求項の数 6 O.L. (全 17 頁)

(21) 出席番号

特願平10-294289

(22) 出廠日

平成10年10月15日(1998.10.15)

(71)出題人 000006079

ミノルタ株式会社
大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル

(72)發明者 鳥山 伸之

大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル ミノルタ株式会社内

(74)代理人 100090446

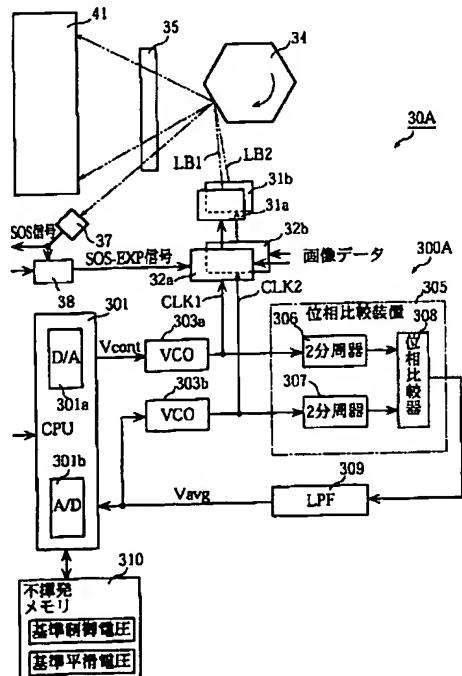
弁理士 中島 司朗
考) 2C362 BA56 BA68 BA70
2H045 BA22 BA32 CA97
5C072 AA03 AA05 BA04 CA06 HA02
HA06 HA09 HA13 HB06 HB08
HR11 HR13 HR15 HA11

(54) 【発明の名称】 マルチビーム画像形成装置

(57)【要約】

【課題】複数の光ビームの書込位置の主走査方向へのずれを高い精度で調整し、画質を向上させたマルチビーム画像形成装置を提供する。

【解決手段】 位相比較装置305と、LPP309と、VCO303bとでPLL回路が構成されている。CPU301は、内部にデジタル値（例えば、8ビット）をアナログ値に変換するD/A変換器301aなどを備えており、書込位置調整時にはD/A変換器301aにセットするデータの値を変えて、VCO303a、303bから出力される画素クロック信号CLK1、CLK2の位相差を変える。不揮発メモリ310には、レーザービームLB1、LB2の書込位置が一致する場合の画素クロック信号CLK1、CLK2の位相差を示す基準制御電圧のデータが格納される。CPU301は、画像形成時には、基準制御電圧のデータをD/A変換器301aにセットし、D/A変換器301aから制御電圧VcontをVCO303aに出力させる。



【特許請求の範囲】

【請求項1】 画素クロック信号に同期して光変調されたN(2以上の整数)本の光ビームを副走査方向に一定の間隔をおいて主走査することにより、像担持体上に画像を形成するマルチビーム画像形成装置であって、N本中の1本の光ビームに対する基準画素クロック信号を生成する基準画素クロック信号生成手段と、前記基準画素クロック信号に基づいて、残余の光ビームに対する(N-1)個の残余画素クロック信号を生成するPLL回路と、を備え、前記PLL回路は、

基準画素クロック信号と(N-1)個の残余画素クロック信号各々との位相差を比較する位相比較手段を有し、位相比較手段の比較の結果、残余画素クロック信号の基準画素クロック信号に対する相対的位相差を像担持体上における各光ビームの書込位置が主走査方向に一致する場合における位相差に制御することを特徴とするマルチビーム画像形成装置。

【請求項2】 前記Nが2であって、前記基準画素クロック信号生成手段は、像担持体上における2本の光ビームの書込位置を主走査方向に一致させる第1制御信号を出力する第1制御信号出力手段と、前記第1制御信号に応じた周波数の基準画素クロック信号を生成する第1制御発振器と、を備えることを特徴とする請求項1に記載のマルチビーム画像形成装置。

【請求項3】 前記第1制御信号出力手段は、前記位相比較手段が比較した基準画素クロック信号と残余画素クロック信号との位相差を検出する位相差検出手段と、前記位相差検出手段の検出値が画像形成開始時と2本の光ビームの書込位置が主走査方向に一致している時とで異なる場合、画像形成時における位相差検出手段の検出値が2本の光ビームの書込位置が主走査方向に一致している時の検出値と一致するように前記第1制御信号の値を補正する第1制御信号補正手段と、を備えることを特徴とする請求項2に記載のマルチビーム画像形成装置。

【請求項4】 前記基準画素クロック信号の周波数は、固定されており、前記PLL回路は、入力される第2制御信号に応じて、生成する残余画素クロック信号の周波数を制御する第2制御発振器と、前記位相比較手段が比較した両信号の位相差をモニタする位相差モニタ手段と、前記位相差モニタ手段のモニタ結果に基づいて、残余画素クロック信号の基準画素クロック信号に対する位相差が各光ビームの書込位置が主走査方向に一致する場合における位相差を保持するような前記第2制御信号を出力

する第2制御信号出力手段と、を備えることを特徴とする請求項1に記載のマルチビーム画像形成装置。

【請求項5】 前記第2制御信号出力手段は、前記位相差モニタ手段のモニタ結果が画像形成開始時と各光ビームの書込位置が主走査方向に一致している時とで異なる場合、画像形成時における位相差モニタ手段のモニタ結果が各光ビームの書込位置が主走査方向に一致している時のモニタ結果と一致するように前記第2制御信号の値を補正する第2制御信号補正手段を備えることを特徴とする請求項4に記載のマルチビーム画像形成装置。

【請求項6】 前記位相比較手段は、2つの画素クロック信号をそれぞれM(2以上の整数)分周する分周手段を有し、M分周された2つの画素クロック信号の周波数の差および位相差を比較することを特徴とする請求項1ないし5のいずれかに記載のマルチビーム画像形成装置。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】 本発明は、レーザプリンタやデジタル複写機などの光ビーム画像形成装置に関し、特に複数の光ビームの主走査方向への書込位置を制御する技術の改良に関する。

【0002】

【従来の技術】 デジタル式の電子写真式画像形成装置においては、入力された画素データに基づき、レーザビームにより感光体ドラム上を画素ごとにドット状に書き込んで静電画像を形成するようになっている。このような静電画像の形成は、画素クロック信号の1クロックごとに再現すべき画像データでレーザビームを光変調し、このレーザビームを回転駆動される回転多面鏡のミラー一面で偏向し、回転駆動される感光体ドラム表面を主走査することで、実現される。

30 【0003】 このような主走査は通常1本のレーザビームで行われており、1本のレーザビームで主走査すると、各主走査ラインの書込位置が主走査方向に正確に合わせることができるもの、回転多面鏡の回転速度が限界速度付近に達しているため、画像形成速度をこれ以上あげることができないという問題がある。この問題を解決する方法として、近年では例えば2本のレーザビームを回転多面鏡のミラー一面で偏向し、この2本のレーザビームで感光体ドラム表面を副走査方向に一定の間隔を置いて主走査するものがあり、これにより画像形成速度を2倍に向上させている。

【0004】 しかしながら、2本のレーザビームをそれぞれ出射するレーザダイオードの光軸が主走査方向にわずかでもずれていれば、たとえ2本のレーザビームを同じ画素クロック信号に同期させて光変調したとしても、2本のレーザビームの書込位置が光軸のずれ分主走査方向にずれてしまい、2本のレーザビームで形成された画

像がギザギザ（ジッタ）となり画質が極端に悪くなってしまう。したがって、マルチビーム画像形成装置においては、このジッタを低減して画質を維持するためには、2本のレーザビームの書込位置の位置合わせの精度のレベルは数μm～十数μm以下非常に高精度なものが要求される。

【0005】これを機械的構成で実現するものとして2つのレーザダイオードの光軸を主走査方向に調整するようにしたものがあるが、この機械的構成で上記位置合わせ精度を確保するには機械的構成の加工精度を飛躍的に高めなければならず、高価となるといった難点がある。

【0006】そこで、最近のマルチビーム画像形成装置においては、2本のレーザビームの書込位置を電気的に調整する電気的構成が、機械的構成と併せて採用されている。この電気的構成は、機械的構成における2本のレーザビームの書込位置のずれ調整を粗調整程度にとどめておいて、粗調整で調整しきれない書込位置のずれをさらに小さくするために、2本のレーザビームをそれぞれ光変調するために用いられる2つの画素クロック信号の一方を遅延させるものである。より詳しくは、画素クロック信号を2つに分け、一方だけを遅延線に通過させ、遅延線の途中に設けられた複数のタップからそれぞれ出力される遅延時間の異なる画素クロック信号の中から2本のレーザビームの書込位置の主走査方向へのずれが最も少ない画素クロック信号が選択される構成となっている。この遅延線を介する画素クロック信号に同期して一方のレーザビームを光変調するとともに、遅延線を通過させない他方の画素クロック信号に同期して他方のレーザビームを光変調すると、2つの画素クロック信号の時間差の分2本のレーザビームの書込位置がずれ、書込位置の主走査方向へのずれをさらに小さくすることができる。

【0007】

【発明が解決しようとする課題】ところで、上記従来技術では機械的構成で粗調整を行った上で、微調整を電気的構成で行うため、コスト面での負担は少なく、その上微調整もきくという利点がある反面、遅延線に配設できるタップの数が、通常数個、最大でも十数個が限界となっているため、従来のマルチビーム画像形成装置では、遅延線で選択できる遅延画素クロック信号の数が少なく、その結果、遅延時間の差が十数個のとびとびの値しか選択できず、レーザビームの書込位置の主走査方向へのずれを要求される程高い精度で調整することが困難であるという課題がある。特に、近年の画像形成装置においては、主走査方向への画素密度を高くするため、画素クロック信号の周波数が数十MHzまで高くなってきており、遅延時間の差が大きいと、周波数が高くなるほどレーザビームの書込位置の主走査方向へのずれを高い精度で調整することが困難になる。

【0008】本発明は、上述の問題点に鑑みてなされた

ものであり、複数の光ビームの書込位置の主走査方向へのずれを高い精度で調整し、画質を向上させたマルチビーム画像形成装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するためには、本発明に係るマルチビーム画像形成装置は、画素クロック信号に同期して光変調されたN（2以上の整数）本の光ビームを副走査方向に一定の間隔をおいて主走査することにより、像担持体上に画像を形成するマルチビーム画像形成装置であって、N本中の1本の光ビームに対する基準画素クロック信号を生成する基準画素クロック信号生成手段と、前記基準画素クロック信号に基づいて、残余の光ビームに対する（N-1）個の残余画素クロック信号を生成するPLL回路と、を備え、前記PLL回路は、基準画素クロック信号と（N-1）個の残余画素クロック信号各々との位相差を比較する位相比較手段を有し、位相比較手段の比較の結果、残余画素クロック信号の基準画素クロック信号に対する相対的位相差を像担持体上における各光ビームの書込位置が主走査方向に一致する場合における位相差に制御することを特徴とする。

【0010】また、本発明に係るマルチビーム画像形成装置は、前記Nが2であって、前記基準画素クロック信号生成手段は、像担持体上における2本の光ビームの書込位置を主走査方向に一致させる第1制御信号を出力する第1制御信号出力手段と、前記第1制御信号に応じた周波数の基準画素クロック信号を生成する第1制御発振器と、を備えることを特徴とする。

【0011】また、本発明に係るマルチビーム画像形成装置は、前記第1制御信号出力手段は、前記位相比較手段が比較した基準画素クロック信号と残余画素クロック信号との位相差を検出する位相差検出手段と、前記位相差検出手段の検出値が画像形成開始時と2本の光ビームの書込位置が主走査方向に一致している時とで異なる場合、画像形成時における位相差検出手段の検出値が2本の光ビームの書込位置が主走査方向に一致している時の検出値と一致するように前記第1制御信号の値を補正する第1制御信号補正手段と、を備えることを特徴とする。

【0012】また、本発明に係るマルチビーム画像形成装置は、前記基準画素クロック信号の周波数は、固定されており、前記PLL回路は、入力される第2制御信号に応じて、生成する残余画素クロック信号の周波数を制御する第2制御発振器と、前記位相比較手段が比較した両信号の位相差をモニタする位相差モニタ手段と、前記位相差モニタ手段のモニタ結果に基づいて、残余画素クロック信号の基準画素クロック信号に対する位相差が各光ビームの書込位置が主走査方向に一致する場合における位相差を保持するような前記第2制御信号を出力する第2制御信号出力手段と、を備えることを特徴とする。

【0013】また、本発明に係るマルチビーム画像形成装置は、前記第2制御信号出力手段は、前記位相差モニタ手段のモニタ結果が画像形成開始時と各光ビームの書込位置が主走査方向に一致している時とで異なる場合、画像形成時における位相差モニタ手段のモニタ結果が各光ビームの書込位置が主走査方向に一致している時のモニタ結果と一致するように前記第2制御信号の値を補正する第2制御信号補正手段を備えることを特徴とする。

【0014】さらに、本発明に係るマルチビーム画像形成装置は、前記位相比較手段は、2つの画素クロック信号をそれぞれM（2以上の整数）分周する分周手段を有し、M分周された2つの画素クロック信号の周波数の差および位相差を比較することを特徴とする。

【0015】

【発明の実施の形態】以下、本発明に係る画像形成装置の実施の形態を、単色のデジタル複写機（以下、単に「複写機」という。）に適用した例について説明する。

【0016】（実施の形態1）図1は、複写機1の全体の構成を示す図である。この複写機1は、原稿画像を読み取るイメージリーダ部10と、読み取った画像を記録シートやOHPシートなどの記録シートS上にプリントして再現するプリンタ部20とから構成される。

【0017】イメージリーダ部10は、プラテンガラスに載置された原稿画像をスキャンし、これをCCDイメージセンサなどで電気信号に変換し、この電気信号をA/D変換して画像データを得る周知のものである。イメージリーダ部10で得られた画像データは、シェーディング補正や濃度変換、エッジ強調など必要な処理を加えられて画像メモリ（不図示）に一旦格納された後、必要に応じて画像メモリから1ラインずつ読み出され、露光走査部30A内に設けられたレーザダイオード（以下、「LD」と記す。）31a, 31b（図2参照）を光変調する駆動信号として用いられる。

【0018】プリンタ部20は、電子写真方式により記録シートS上に画像を再現するものであって、上記駆動信号により2本のレーザビームLB1, LB2を射出する露光走査部30Aや、画像形成部40、給紙部50、シート搬送部60、定着器70などからなる。

【0019】画像形成部40は、感光体ドラム（像担持体）41を中心として、その周囲に配設されるクリーナ42や、イレーサランプ43、帯電チャージャ44、現像器45、転写チャージャ46、用紙分離用除電チャージャ47などから構成されており、感光体ドラム41は、不図示の駆動モータにより予め定められた所定のシステムスピードで矢印a方向に回転駆動されるようになっている。

【0020】給紙部50は、所定サイズの記録シートSを積層収容しておくための複数（図示4つ）の給紙カセット51a～51d、この記録シートSを給紙カセット51a～51dから選択して繰り出すための給紙ローラ

52a～52d、記録シートSを捌くための捌きローラ53a～53d、記録シートSを感光体ドラム41と転写チャージャ46との間の転写位置に繰り出すタイミングをとるためのタイミングローラ59、記録シートSを捌きローラ53a～53dからタイミングローラ59に搬送する縦搬送ローラ54～58、および記録シートの紙詰まりなどを検出するセンサーSE1, SE2などを備えており、記録シートSをタイミングローラ59で一旦停止させ、感光体ドラム41における画像形成と同期を取って記録シートSを1枚ずつシステムスピードで転写位置へ送り込むようになっている。

【0021】シート搬送部60は、転写位置を介する記録シートSを定着器70まで搬送するものであって、無端状のシート搬送ベルト61や、当該シート搬送ベルト61を張架し、感光体ドラム41に同期して矢印b方向に上記システムスピードで周回駆動する一対のローラ（駆動ローラ62および従動ローラ63）などからなる。

【0022】感光体ドラム41は、レーザビームLB1, LB2による露光を受ける前にクリーナ42で感光体表面の残留トナーを除去され、さらにイレーサランプ43に照射されて除電された後、帯電チャージャ44により一様に帯電されており、このように一様に帯電した状態で露光を受けると、感光体ドラム41の表面の感光体に静電潜像が形成され、現像器45により現像されてトナー像が形成される。このトナー像は、当該作像動作と同期して給紙部50から給紙してきた記録シートS上に転写位置においてドラム・転写チャージャ間の電荷付与で転写される。

【0023】トナー像が転写された記録シートSは、用紙分離用除電チャージャ47により記録シートSに帯電された電荷が除電されることにより感光体ドラム41から分離された後、シート搬送部60により定着器70までシステムスピードで搬送され、定着器70においてトナーが熱定着された後、排紙ローラ71から排紙トレイ72上に排出され、これにより原稿の画像データに基づく画像形成が終了する。

【0024】なお、複写機1のハウジング上部手前側の操作しやすい位置には、操作パネル80が配設されており、これによりユーザが複写枚数や倍率などの各種コピーモードを設定し、あるいはコピー開始を指示できるようになっている。

【0025】図2は、露光走査部30Aの構成を示す図である。同図に示すように露光走査部30Aは、LD31a, 31bと、LD31a, 31bをそれぞれ駆動するLD駆動回路32a, 32bと、不図示のモータにより定速回転駆動され、LD31a, 31bから射出されたレーザビームLB1, LB2を反射して偏向する回転多面鏡34と、感光体ドラム41表面におけるレーザビームLB1, LB2の主走査速度を一定にするfθレン

ズ35と、 $f\theta$ レンズ35を介するレーザビームLB1を受光し、感光体ドラム41表面におけるレーザビームLB1, LB2の画像書き出しタイミングを決定するためのSOS(Start Of Scan)信号を出力するSOSセンサ37と、LD31aを所定のタイミングで定期的に強制発光させるためのSOS-EXP信号をLD駆動回路32aに出力し、SOSセンサ37がSOS信号を出力するとSOS-EXP信号の出力を停止するSOSセンサ制御部38と、LD駆動回路32a, 32bに画素クロック信号CLK1, CLK2をそれぞれ供給する画素クロック信号制御部300Aなどを備える。

【0026】LD駆動回路32aには、画像メモリから奇数番目のラインの画像データが1ラインずつ入力され、LD駆動回路32bには、画像メモリから偶数番目のラインの画像データが1ラインずつ入力される。LD駆動回路32aは、SOSセンサ制御部38からSOS-EXP信号を受信すると、LD31aを強制発光させ、SOS-EXP信号の停止後の画像書き出しタイミングに、LD駆動回路32a, 32bは、画素クロック信号CLK1, CLK2に同期して各ラインの画像データを1画素ずつD/A変換し、このアナログ信号でLD31a, 31bを直接駆動することによりLD31a, 31bから光変調されたレーザビームLB1, LB2を出射させるようになっている。このレーザビームLB1, LB2は、定速で回転駆動される回転多面鏡34のミラー一面で反射して偏向され、 $f\theta$ レンズ35を通過して、感光体ドラム41表面を副走査方向に一定の間隔をおいて平行に主走査する。これにより、感光体ドラム41表面に静電画像が形成される。

【0027】画素クロック信号制御部300Aは、CPU301と、不揮発メモリ310と、電圧制御発振器(Voltage Controlled Oscillator、以下「VCO」と記す。)303a, 303bと、位相比較装置305と、ローパスフィルタ(以下、「LPF」と記す。)309とを備える。位相比較装置305は、2分周器306, 307と、位相比較器308とからなる。なお、位相比較装置305と、LPF309と、VCO303bとでPLL回路が構成されている。

【0028】CPU301は、内部に、制御プログラムを記憶するROM(不図示)、当該制御プログラム実行時にワークエリアを提供するRAM(不図示)、デジタル値(例えば、8ビット)をアナログ値に変換するD/A変換器301a、アナログ値をデジタル値(8ビット)に変換するA/D変換器301bなどを備えており、画像形成時には、所定のデータをD/A変換器301aにセットし、D/A変換器301aからアナログ変換された電圧(制御電圧)VcontをVCO303aに出力させる。VCO303aは、D/A変換器301

aから出力された制御電圧Vcontに基づいて、この電圧値に応じた周波数の画素クロック信号CLK1を発生する。この画素クロック信号CLK1は、LD駆動回路32aに供給されるとともに、位相比較装置305の2分周器306に入力される。

【0029】VCO303bは、LPF309から出力される平滑電圧Vavgに基づいて画素クロック信号CLK2を発生し、この画素クロック信号CLK2は、LD駆動回路32bに供給されるとともに、位相比較装置305の2分周器307に入力される。

【0030】図3は、VCO303a, 303bの入力電圧と、発振周波数との関係を示す図である。同図に示すようにVCO303a, 303bは、入力電圧の値に応じて出力する画素クロック信号CLK1, CLK2の周波数を変化させる特性を有している。具体的には、入力電圧(制御電圧Vcont、平滑電圧Vavg)を0からVccまで上げると、発振周波数をFminからFmaxまでほぼ直線的に増加させ、制御電圧Vcontあるいは平滑電圧Vavgが0.5Vccの場合に周波数FO(数十MHz)の画素クロック信号CLK1, CLK2を出力する。ところで、画素クロック信号CLK1, CLK2の発振周波数の可変範囲が大きいと、この周波数の変化に応じて主走査の幅が大きく変化してしまい画像の再現上好ましくない。また、PLL回路においては画素クロック信号CLK1, CLK2間の位相差調整を目的としているので、レーザビームLB1, LB2の書込位置を調整するためには、2つの画素クロック信号CLK1, CLK2間の位相差を制御して、その位相差でロックできれば十分である。したがって、本実施の

30 形態1に係るVCO303a, 303bは、周波数安定度が高くなるように水晶振動子を用いて構成され、制御電圧Vcontや、平滑電圧Vavgの変化が大きくても、発振周波数の可変範囲がこの周波数FOに対して±数十PPM程度と小さくなるようになっている。

【0031】図2に戻り、位相比較装置305の2分周器306, 307は、VCO303a, 303bから出力された画素クロック信号CLK1, CLK2をそれぞれ2分周した周波数FO/2のクロック信号を出力する。位相比較器308は、RS-FFや、EX-ORゲートなどで構成され、2つの入力端子に入力されるクロック信号の周波数の差および位相差に応じたパルス信号を出力し、両クロック信号の周波数が同周波数にロックされた後には、2分周された画素クロック信号CLK1, CLK2の位相差に応じたパルス幅のパルス信号を出力する。例えば、2分周された画素クロック信号CLK1, CLK2の位相差が π (画素クロック信号CLK1, CLK2では 2π)ずれると、位相比較器308は、デューティ比が50%のパルス信号を出力するようになっている。LPF309は、位相比較器308から出力されたパルス信号を平滑し、この平滑電圧Vav

gをVCO303bにフードバックする。

【0032】図4は、位相比較装置305に入力される画素クロック信号の位相差とLPF309が出力する平滑電圧との関係（位相比較特性）を示す波形図である。同図において、横軸は、画素クロック信号CLK1に対する画素クロック信号CLK2の位相遅れ（遅れを正とする）を表し、縦軸は、LPF309が出力する平滑電圧 V_{avg} を表している。この位相比較装置305およびLPF309によって、画素クロック信号CLK1、CLK2の位相差を連続的に変えた場合、この位相差の周期が 4π で、位相差に応じて平滑電圧 V_{avg} が0から V_{cc} まではば直線的に増加するのこぎり波形が得られ、両クロック信号の位相差が 2π の場合に0.5 V_{cc} の平滑電圧を出力する。

【0033】ところで、位相比較装置305を位相比較器308だけで構成し、両画素クロック信号CLK1、CLK2を位相比較器308に直接入力することも考えられる。しかしながら、この場合には、位相差の周期を 2π とするのこぎり波形になるので、位相調整範囲が 2π となって狭い。しかも、両画素クロック信号CLK1、CLK2を位相比較器308に直接入力した場合には、周波数（数十MHz）が高いまま入力されるので、位相比較器308から出力された位相差を示すパルス信号の周波数が数十MHzと高い。このようにパルス信号の周波数が高くなると、パルスのポジティブエッジあるいはネガティブエッジの傾きが緩やかになって、パルス波形のなまりが大きくなる。このようにパルス波形のなまりが大きくなると、のこぎり波形の端部（位相差0および 2π ）付近における傾斜が平坦となって、位相差と平滑電圧との直線を有する範囲が狭くなる。したがって、位相差の調整範囲が±1周期確保できなくなり、レーザビームLB1、LB2の書込位置の調整範囲も±1画素確保できなくなる。

【0034】これに対して、本実施の形態1では、両クロック信号CLK1、CLK2を2分周している。これにより、位相差の周期を 4π とするのこぎり波形になるので、位相調整範囲が 4π となって広い。しかも、画素クロック信号CLK1、CLK2が2分周されて、位相比較器308に入力されるクロック信号の周波数が1/2に低下するため、位相比較器308から出力されるパルスのポジティブエッジあるいはネガティブエッジの傾きが急峻に維持され、パルス波形のなまりが小さくなる。このようにパルス波形のなまりが小さいと、のこぎり波形の端部（位相差0および 4π ）付近においても傾斜が平坦となる範囲が狭くなり、位相差と平滑電圧との直線を有する範囲が広くなる。したがって、 2π を中心に0.5 V_{cc} 付近の直線性の良好な部分だけを使用して、位相差の調整範囲を±2周期近くまで確保することができ、レーザビームLB1、LB2の書込位置の調整範囲も±2画素近くまで確保することができる。

【0035】なお、この実施の形態1では両クロック信号CLK1、CLK2を2分周しているが、分周の数がこれに限らず3、4、…などであってもよく、この分周の数に応じて、直線性を有する範囲を広げることができるとともに、位相差の調整範囲ひいてはレーザビームLB1、LB2の書込位置の調整範囲を広げができる。

【0036】このような位相比較特性の下では、PLL回路によって、VCO303a、303bが出力する画素クロック信号CLK1、CLK2の発振周波数が同周波数でロックされ、このロック後においては、平滑電圧 V_{avg} は、画素クロック信号CLK1、CLK2の位相差を示しており、この位相差でフェーズロックが掛かる。また、VCO303bに入力される平滑電圧 V_{avg} の値と、VCO303aに入力される制御電圧 V_{cont} の値とが、必ず正比例（オフセットがある場合を含む）し、制御電圧 V_{cont} を下げれば平滑電圧 V_{avg} も下がり、制御電圧 V_{cont} を上げれば平滑電圧 V_{avg} も上がる。したがって、画素クロック信号CLK1、CLK2の発振周波数を同周波数に維持しつつ、画素クロック信号CLK1、CLK2間に設定すべき位相差まで両信号間の位相差を変化させるためには、VCO303aに入力する制御電圧 V_{cont} の値を変えるようにCPU301が処理すればよい。

【0037】この処理を実行するため、不揮発メモリ310の所定の記憶領域には、基準制御電圧のデータが予め格納されており、CPU301は、画像形成時には、内部ROMの制御プログラムに従って、不揮発メモリ310に格納された基準制御電圧のデータを読み出してこのデータをD/A変換器301aにセットし、D/A変換器301aからアナログ変換された電圧（制御電圧） V_{cont} をVCO303aに出力させる。したがって、この処理の実行の際にセットされる基準制御電圧のデータの値を少しづつ変えると、画素クロック信号CLK1、CLK2を同周波数に維持しつつ、画素クロック信号CLK1、CLK2間に位相差を少しづつ微細に変えることができるので、従来より飛躍的に高い精度で位相調整を行うことができる。

【0038】また、レーザビームLB1、LB2の書込位置が主走査方向に一致する場合の画素クロック信号CLK1、CLK2の位相差が得られるように、不揮発メモリ310に記憶されている基準制御電圧の値を調整しておけば、レーザビームLB1、LB2の書込位置を主走査方向に一致させることができる。したがって、以下に説明するレーザビームLB1、LB2の主走査方向位置ずれ補正シーケンスによって基準制御電圧のデータが求められている。なお、このシーケンスにおいて、レーザビームLB1、LB2の書込位置が主走査方向に一致する場合における画素クロック信号CLK1、CLK2の相対的位相差を表す基準平滑電圧のデータも併せて予

め求められ、求めた基準制御電圧と、基準平滑電圧のデータとを不揮発メモリ360に格納するようになっている。この基準平滑電圧のデータは、後述するレーザビームLB1, LB2の書込位置のずれ調整処理(図7参照)において用いられる。

【0039】次いで、図5に示すシーケンス図及び図6に示す波形図を用いて、レーザビームLB1, LB2の主走査方向位置ずれ補正を説明する。なお、図6(1)においてはレーザビームLB1, LB2の主走査方向位置ずれ調整前の画素クロック信号CLK1, CLK2およびレーザビームLB1, LB2の書込位置を、図6(2)においてはレーザビームLB1, LB2の主走査方向位置ずれ調整後の画素クロック信号CLK1, CLK2およびレーザビームLB1, LB2の書込位置を、それぞれ示している。

【0040】このレーザビームLB1, LB2の主走査方向位置ずれ補正は、複写機1のフレームに露光走査部30Aを固定した後の製造途中の工程において、このシーケンス専用のジグを用いて行われる。このジグは、感光体ドラム41の書込位置に相当する位置に設置され、レーザビームLB1, LB2の書込位置を検出する2次元CCDセンサーと、2次元CCDセンサーにより検出されたレーザビームLB1, LB2の書込位置を表示する表示器と、画素クロック信号CLK1, CLK2の位相差を調整する操作部などから構成され、作業者の操作に基づいて、露光走査部30Aの各部を統括制御するようになっている。

【0041】CPU301は、ジグからの指令に基づいて、所定のデータをD/A変換器301aにセットし、D/A変換器301aからVCO303aに対して制御電圧V_{cont}=0.5V_{cc}を印加させる(ステップS1、図3参照)。これにより、VCO303aは、周波数F0の画素クロック信号CLK1を出力し(図3、図6(1)(a)参照)、位相比較装置305の2分周器306は、画素クロック信号CLK1を2分周した周波数F0/2のクロック信号を出力する。一方、2分周器307は、PLLループのため、画素クロック信号CLK2を2分周した周波数F0/2で、2分周器306のクロック信号と位相差πを有するクロック信号を出力する。これにより、位相比較器308は、デューティ比50%のパルス信号を出力し、LPF309は、平滑電圧V_{avg}=0.5V_{cc}を出力する。したがって、VCO303bは、画素クロック信号CLK1と同周波数F0で位相差2πを有する画素クロック信号CLK2を出力して(図4、図6(1)(b)参照)、フェイズロックが掛かる。

【0042】次いで、ジグから回転多面鏡34の駆動モータに指示を出して、回転多面鏡34を回転させるとともに(ステップS2)、ジグからSOS制御部38に指示し、SOS制御部38からLD駆動回路32aにSO

S-EXP信号を送ってLD31aを強制発光させ、SOSセンサ37がレーザービームLB1を受光して、受光時に出力するSOS信号の周期を検出することにより、回転多面鏡34の回転数が所定回転数に達したか否か判断する(ステップS3)。所定回転数に達すると(ステップS3でY)、ジグからLD駆動回路32a, 32bに1画素分の画像データを主走査周期ごとにそれぞれ送り、LD31a, 31bを画素クロック信号CLK1, CLK2に同期して主走査方向の同じ位置において1画素分発光させる(ステップS4)。そして、2次元CCDセンサで検出したレーザビームLB1, LB2の書込位置を表示器上に映し出し、レーザビームLB1の書込位置と、レーザビームLB2の書込位置との主走査方向のずれ量が所定値以内か判断する(ステップS5)。

【0043】なお、LD31a, 31bの光軸を調整する機械的構成(不図示)によって、レーザビームLB1, LB2の書込位置の主走査方向へのずれができるだけ小さくなるようになされているが、この機械的構成で調整しきれない書込位置のずれが図6(1)(c)、(d)に示す△θであったと仮定する。また、主走査方向のずれ量の許容範囲は、D/A変換器301aが8ビットで、その分解能が1/256となるので、画素クロック信号CLK1, CLK2の位相差では4π/256以下、レーザビームLB1, LB2の書込位置では2画素/256以下に設定されている。また、ジグの表示器上ではレーザビームLB1, LB2の書込位置のずれ量(距離)が画素クロック信号CLK1, CLK2の調整すべき位相差に変換されて表示されるようになっている。

【0044】レーザビームLB1, LB2の書込位置の主走査方向のずれ量が所定値以内でない場合(ステップS5でN)、レーザビームLB1の書込位置に対して、レーザビームLB2の方が進み位相であるかを判断する(ステップS6)。進み位相である場合(ステップS6でY)には、ジグからCPU301に指示を出し、CPU301はVCO303aへの制御電圧V_{cont}を所定値だけ増加させる(ステップS7)。これと逆に、遅れ位相である場合(ステップS6でN)には、ジグからCPU301に指示を出し、CPU301はVCO303aへの制御電圧V_{cont}を所定値だけ減少させる(ステップS8)。

【0045】具体的には、ステップS5において、レーザビームLB1の書込位置に対して、レーザビームLB2の書込位置の方が許容値を超えた△θだけ位相が遅れていた場合(第6図(1)(c), (d)参照)には、ずれ量が所定値以内になるまで制御電圧V_{cont}を0.5V_{cc}からV_{cc}/256ずつ減少させていく。これによって、画素クロック信号CLK1に対して、画素クロック信号CLK2の位相が遅れていく(第6図

(2) (a), (b) 参照)。このように、画素クロック信号CLK2の位相を遅らすと、画素クロック信号CLK2に同期して変調されるレーザビームLB2の書込位置が進み位相となり、レーザビームLB1, LB2の書込位置のずれが小さくなる。

【0046】制御電圧VcontがVa(図3, 図4参照)になったとき、レーザビームLB1, LB2の書込位置のレーザビームLB1, LB2の書込位置の主走査方向へのずれ量が所定値以下となって、初期位相差 $\Delta\theta$ が解消され、書込位置の位置合わせが完了すると(ステップS5でY)、ジグからの指示により、CPU301は、このときD/A変換器301aが制御電圧Vcontを出力するためのデータを基準制御電圧として不揮発メモリ310に格納する(ステップS9)とともに、LPF309が output している平滑電圧VavgをA/D変換器301bを介して検出し、検出によって得られたデータを基準平滑電圧として不揮発メモリ310に格納する(ステップS10)。これらのデータの格納が終わると、ジグからの指示により、回転多面鏡34と、LD31a, 31bの駆動を停止し(ステップS11)、本補正シーケンスを終了する。したがって、実施の形態1によれば、CPU301が制御電圧の値を細かな刻みで微細に変えることができるので、周波数が高くなってしまっても、画素クロック信号CLK1, CLK2の位相差を微細に変えることができ、レーザビームLB1, LB2の書込位置を主走査方向に高い精度で一致させることができる。

【0047】以降、CPU301は、画像形成の際には、内部ROMに格納されたプログラムにしたがって、不揮発メモリ310から基準制御電圧のデータを読み出してこのデータをD/A変換器301aにセットし、D/A変換器301aからVCO303aに制御電圧Vaを入力させる。これにより、VCO303a, 303bから出力される画素クロック信号CLK1, CLK2の位相差が $\Delta\theta$ ずらされる。したがって、レーザビームLB1, LB2の書込位置を主走査方向に確実に高い精度で一致させることができ、ジッタをなくして画質を向上させることができる。

【0048】ところで、環境変化などにより、VCO303a, 303bの入力電圧-発振周波数特性が複写機1の製造時から変化する場合がある。この場合には、画素クロック信号CLK1, CLK2の位相差が変化し、その結果レーザビームLB1, LB2の書込位置のずれが再発生する。例えば、初期調整値としてVCO303a, 303bの発振周波数Fa、基準平滑電圧VavgがVaであるときに、VCO303aの発振周波数がFaより増加してしまったとする。PLLループはVCO303bの周波数も上げるように動作し、画素クロック信号CLK1, CLK2の位相差が大きくなつて、平滑電圧Vavgも上昇する。そうすると、レーザビームL

B1の書込位置に対して、レーザビームLB2の書込位置が位相遅れ方向にずれてしまうことになる。これを防止するため、複写機1はレーザビームLB1, LB2の書込位置のずれを調整するモードを備えており、CPU301は、制御プログラムに従って、図7に示す書込位置のずれ調整処理を実行するようになっている。

【0049】第7図は、画像形成に当たってCPU301が実行する書込位置のずれ調整処理の動作を示すフローチャートである。CPU301は、操作部80のコピーキーが押されたときに発生されるONエッジを検出したか否か判断し(ステップS21)、ONエッジを検出しなければ、不図示のメインルーチンにリターンし、ONエッジを検出するのを待つ。ONエッジを検出すると(ステップS21でY)、CPU301は、不揮発メモリ310から基準制御電圧のデータを読み出して、このデータをD/A変換器301aにセットし、基準制御電圧Vcont=VaをVCO303aに印加する(ステップS22)。これにより、VCO303a, 303bから画素クロック信号CLK1, CLK2が output され、LPF309から平滑電圧Vavgが output される。

【0050】次いで、CPU301は、A/D変換器301bを介してLPF309が output する平滑電圧Vavgを検出し、この検出したデータの値と不揮発メモリ310に格納されている基準平滑電圧のデータの値との差が所定値以内であるか否か判断する(ステップS23)。なお、平滑電圧は、画素クロック信号CLK1, CLK2の位相差を示し、基準平滑電圧は、レーザビームLB1, LB2の書込位置が主走査方向に一致している場合における画素クロック信号CLK1, CLK2の位相差を示している。したがって、平滑電圧と基準平滑電圧とに差がある場合には、平滑電圧が基準平滑電圧と一致するように制御電圧を変更すれば、レーザビームLB1, LB2の書込位置を主走査方向に一致させることができる。

【0051】この差が所定値を超える場合には(ステップS23においてN)、LPF309が output する平滑電圧Vavgが基準平滑電圧よりも低いか否か判断する(ステップS24)。低い場合には(ステップS24においてY)、CPU301は、D/A変換器301aにセットするデータの値を1/256大きくし、制御電圧Vcontを所定値だけ増加させ(ステップS25)、ステップS23に戻る。このステップS23, S24, S25を繰り返し、LPF309が output する平滑電圧Vavgと基準平滑電圧との差を所定値以内に収束させる。高い場合には(ステップS24においてN)、CPU301は、D/A変換器301aにセットするデータの値を1/256小さくし、制御電圧Vcontを所定値だけ減少させ(ステップS26)、ステップS23に戻る。このステップS23, S24, S26を繰り返し、LPF309が output する平滑電圧Vavgと基準平

40

50

滑電圧との差を所定値以内に収束させる。具体的に、上記環境変化によってVCO303aの発振周波数が増加した例では、平滑電圧Vavg値がVaになるまで、制御電圧Vcontが順次下げられる。

【0052】ステップS23において、LPF309が¹⁰出力する平滑電圧Vavgと基準平滑電圧との差が所定値以内であると、CPU301は、そのときVCO303aに印加している電圧を変更したか否か、すなわちD/A変換器301aにセットしているデータを基準制御電圧のデータから変更したか否かを判断する（ステップS27）。変更していないければ（ステップS27でN）、メインルーチンにリターンする。変更していれば（ステップS27でY）、現在の制御電圧Vcontを新たな基準制御電圧として不揮発メモリ310に記憶し直し、メインルーチンにリターンする。

【0053】したがって、この書込位置のずれ調整処理によれば、環境変化によりVCO303a, 303bの入出力特性がたとえ変化したとしても、コピー動作前に基準制御電圧のデータを補正し、画像形成時に補正した基準制御電圧のデータがD/A変換器301aにセットされるので、レーザービームLB1, LB2の書込位置を主走査方向に高精度で確実に一致させることができ、ジッタをなくして画質を向上させることができる。

【0054】（実施の形態2）次いで、本発明の実施の形態2に係る複写機2について説明する。図8は、複写機2の全体の構成を示す図であり、図1の複写機1と対応する部分に同一番号を付し、説明を省略する。実施の形態1の複写機1においては、2本のレーザービームLB1, LB2を出射する露光走査部30Aが用いられていたが、この複写機2においては、3本のレーザービームLB1, LB2, LB3を出射する露光走査部30Bが用いられており、感光体ドラム41表面上にレーザービームLB1, LB2, LB3を副走査方向に一定の間隔を置いて平行に主走査することにより、ドラム表面に静電画像を形成するようになっている。

【0055】図9は、露光走査部30Bの構成を示す図であり、露光走査部30Aと対応する部分に同一番号を付し、説明を省略する。この露光走査部30Bにおいては、レーザービームLB1, LB2, LB3をそれぞれ出射する3個のLD31a, 31b, 31cと、各LD31a, 31b, 31cをそれぞれ駆動する3個のLD駆動回路32a, 32b, 32cと、各LD駆動回路32a, 32b, 32cに画素クロック信号CLK1, CLK2, CLK3をそれぞれ供給する画素クロック信号制御部300Bとを備えている。

【0056】LD駆動回路32aには、画像メモリ（不図示）から1, 4, 7, …番目のラインの画像データが1ラインずつ入力され、LD駆動回路32bには、画像メモリから2, 5, 8, …番目偶数番目のラインの画像データが1ラインずつ入力され、LD駆動回路32cに

は、画像メモリから3, 6, 9, …番目のラインの画像データが1ラインずつ入力されている。LD駆動回路32aは、SOSセンサ制御部38からSOS-EXP信号を受信すると、LD31aを強制発光させ、SOS-EXP信号の停止後の画像書き出しタイミングに、LD駆動回路32a, 32b, 32cは、画素クロック信号CLK1, CLK2, CLK3に同期して各ラインの画像データを1画素ずつD/A変換し、このアナログ信号でLD31a, 31b, 31cを直接駆動することによりLD31a, 31b, 31cから光変調されたレーザービームLB1, LB2, LB3を出射させるようになっている。

【0057】画素クロック信号制御部300Bは、発振器（以下「OSC」と記す）352と、CPU351と、不揮発メモリ360と、VCO353a, 353bと、位相比較装置355a, 355bと、LPF359a, 359bとを備え、位相比較装置355a, 355bは、2分周器356a, 357a, 356b, 357bと、位相比較器358a, 358bとからなる。なお、CPU351と、VCO353aと、位相比較装置305aと、LPF309aとによって、第1のPLL回路が構成され、CPU351と、VCO353bと、位相比較装置305bと、LPF309bとによって、第2のPLL回路が構成されている。

【0058】OSC352は、周波数安定度が高くなるように水晶振動子を用い、周波数FO（数十MHz）の画素クロック信号CLK1を出力するように構成されている。この画素クロック信号CLK1は、LD駆動回路32aに供給されるとともに、位相比較装置355a, 355bの2分周器356a, 356bに入力される。

【0059】CPU351は、内部に、制御プログラムを予め記憶するROM（不図示）、当該制御プログラム実行時にワークエリアを提供するRAM（不図示）、デジタル値（例えば、8ビット）をアナログ値に変換するD/A変換器351a, 351c、アナログ値をデジタル値（8ビット）に変換するA/D変換器351b, 351dなどを備えており、画像形成時には、制御プログラムに従って後述する（1）式の演算を実行し、D/A変換器351a, 351cからVCO353a, 353bに制御電圧Vcont1, 2を出力させる。

【0060】VCO353a, 353bは、制御電圧Vcont1, 2に基づいて画素クロック信号CLK2, 3を発生し、この画素クロック信号CLK2, CLK3は、LD駆動回路32b, 32cにそれぞれ供給されるとともに、位相比較装置355a, 355bの2分周器357a, 357bに入力される。

【0061】図10は、VCO353a, 353bの入力電圧と、発振周波数との関係を示す図である。同図に示すようにVCO353a, 353bは、入力電圧の値に応じて出力する画素クロック信号CLK1, CLK2

の周波数を変化させる特性を有している。具体的には、VCO353a, 353bは、周波数安定度が高くなるように水晶振動子を用いて構成され、入力電圧(制御電圧V_{cont1, 2})を0からV_{cc}まで上げていくと、画素クロック信号CLK2, CLK3の発振周波数をF_{min}からF_{max}までほぼ直線的に増加させ、制御電圧V_{cont1, 2}がV0の場合に画素クロック信号CLK1と同周波数F0(数十MHz)の画素クロック信号CLK2, CLK3を出力する。なお、第1および第2のPLL回路においては画素クロック信号CLK1に対する画素クロック信号のCLK2, CLK3の位相差調整を目的としているので、VCO353a, 353bは、入力される制御電圧V_{cont1, 2}の変化が大きくとも、発振周波数の可変範囲がこの周波数F0に対して土数十PPM程度と小さくなるようになっている。

【0062】図9に戻り、位相比較装置355a, 355bの2分周器356a, 356bは、画素クロック信号CLK1を2分周した周波数F0/2のクロック信号を出力する。2分周器357a, 357bは、画素クロック信号CLK2, CLK3を2分周した周波数F0/2のクロック信号を出力する。位相比較器358a, 358bは、RS-FFや、EX-ORゲートなどで構成され、2つの入力端子に入力されるパルス信号の周波数の差および位相差に応じたパルス信号を出力する。LPF359a, 359bは、位相比較器358a, 358bから出力されたパルス信号を平滑し、この平滑電圧V_{avg1, 2}をCPU351にフィードバックする。

【0063】なお、位相比較装置355a, 355bにおいて、画素クロック信号CLK1, CLK2, CLK3をそれぞれ2分周しているのは、実施の形態1において位相比較装置305において画素クロック信号CLK1, CLK2を2分周したのと同様の理由による。また、本実施の形態2の変形例として画素クロック信号CLK1, CLK2, CLK3の分周の数を3, 4, …などとしてもよく、この場合には、分周の数に応じて、直線性を有する範囲を広げることができるとともに、画素クロック信号CLK1, CLK2, CLK3の位相差の調整範囲、ひいてはレーザービームLB1, LB2, LB3の書込位置の調整範囲を広げることができる。

【0064】ここで、位相比較装置355a, 355bおよびLPF359a, 359bがPLLループに組み込まれているので、画素クロック信号CLK2, CLK3の周波数が画素クロック信号CLK1と同周波数F0にロックされた後においては、位相比較器358a, 358bは、2分周された画素クロック信号CLK1, CLK2の位相差、および2分周された画素クロック信号CLK1, CLK3の位相差に応じたパルス幅のパルス信号をそれぞれ出力し、平滑電圧V_{avg1, 2}は、2分周された画素クロック信号CLK1, CLK2の位相

10

差および画素クロック信号CLK1, CLK3の位相差をそれぞれ示している。

【0065】図11は、位相比較装置355a, 355bに入力される画素クロック信号の位相差と、LPF359a, 359bが outputする平滑電圧との関係(位相比較特性)を示す波形図である。なお、位相比較装置355aおよびLPF359aの位相比較特性(前者)と、位相比較装置355bおよびLPF359bの位相比較特性(後者)とが同じであるので、前者について説明し、後者の説明を省略する。

【0066】同図において、横軸は、画素クロック信号CLK1に対する画素クロック信号CLK2の位相遅れ(遅れを正とする)を表し、縦軸は、LPF359aが outputする平滑電圧V_{avg1}を表している。この位相比較装置355aおよびLPF359aによって、画素クロック信号CLK1, CLK2の位相差を連続的に変えた場合、この位相差の周期が4πで、位相差に応じて平滑電圧V_{avg1}が0からV_{cc}まで直線的に増加するのこぎり波形が得られるようになっている。

【0067】このような位相比較特性の下では、例えば、平滑電圧V_{avg1}がV0の場合に、画素クロック信号CLK1, CLK2間の位相差がθ0であったとすると、平滑電圧V_{avg1}がV1に上昇した場合には、画素クロック信号CLK1, CLK2間の位相差がθ1となり、位相差を△θ変えることができる。この一方、VCO353a, 353bに入力する制御電圧V_{cont1}をV0から変えると、画素クロック信号CLK2の周波数がF0から変化することになる。したがって、画素クロック信号CLK1, CLK2の発振周波数を同周波数F0に維持しつつ、画素クロック信号CLK1, CLK2間に設定すべき位相差まで両信号間の位相差を変化させるためには、平滑電圧V_{avg1}と、制御電圧V_{cont1}との電位差を解消するようにCPU351が変換処理すればよい。なお、平滑電圧と制御電圧との差を解消する電圧を、以下「演算係数」という。また、図中において実線で示す波形は、演算係数K1を0(V_{cont1}=V_{avg1})とした場合を、一点鎖線で波形は、演算係数K1に0以外の所定の値(V_{cont1}=V_{avg1}+K1:同図に示す状態では、負の値)をセ40ットした場合を、それぞれ示している。

【0068】上記変換処理を実行するために、不揮発メモリ360の所定の記憶領域には、基準演算係数K1, K2のデータが予め格納されており、CPU351は、A/D変換器351b, 351dを介してLPF359a, 359bの平滑電圧V_{avg1, 2}をそれぞれモニタするとともに、不揮発メモリ360から基準演算係数K1, K2のデータを読み出して、この平滑電圧V_{avg1, 2}のデータと、基準演算係数K1, K2のデータを下記(1)式にセットし、(1)式の演算を実行し、演算結果のデータをD/A変換器351a, 351cに

50

19

20

セットすることにより、D/A変換器351a, 351cから制御電圧Vcont1, 2を出力する。 * 【0069】

$V_{arg1} + K1 \leq V_{cc}$,
 $V_{arg2} + K2 \leq V_{cc}$ の場合
 $V_{cont1} = V_{arg1} + K1$,
 $V_{cont2} = V_{arg2} + K2$
 $V_{arg1} + K1 > V_{cc}$,
 $V_{arg2} + K2 > V_{cc}$ の場合
 $V_{cont1} = V_{arg1} + K1 - V_{cc}$,
 $V_{cont2} = V_{arg2} + K2 - V_{cc}$
 ただし、 $-V_{cc} \leq K1 \leq V_{cc}$,
 $-V_{cc} \leq K2 \leq V_{cc}$ である。

… (1)

【0070】したがって、このような演算処理の実行の際にセットされる基準演算係数K1, K2の値を少しずつ変えると、画素クロック信号CLK2, 3の周波数を画素クロック信号CLK1と同周波数FOに維持しつつ、画素クロック信号CLK2, CLK3の画素クロック信号CLKに対する位相差を少しずつ微細に変えることができる、従来より飛躍的に微細に位相差調整を行うことができる。

【0071】また、不揮発メモリ360に記憶されている基準演算係数K1, K2の値を、レーザビームLB1, LB2, LB3の書込位置が主走査方向に一致する場合の画素クロック信号CLK1, CLK2位相差が得られるように調整しておけば、レーザビームLB1, LB2, LB3の書込位置を主走査方向に高い精度で一致させることができる。したがって、以下に説明するレーザビームLB1, LB2, LB3の主走査方向位置ずれ補正シーケンスによって基準演算係数K1, K2のデータが求められている。なお、このシーケンスにおいて、レーザビームLB1, LB2, LB3の書込位置が主走査方向に一致する場合における画素クロック信号CLK1, CLK2, CLK3の相対的位相差を表す基準平滑電圧1, 2のデータも併せて予め求められ、求めた基準演算係数K1, K2と、基準平滑電圧1, 2のデータとを不揮発メモリ360に格納するようになっている。この基準平滑電圧1, 2のデータは、後述するレーザビームLB1, LB2, LB3の書込位置のずれ調整処理(図14参照)において用いられる。

【0072】次いで、図12に示すシーケンス図及び図13に示す波形図を用いて、レーザビームLB1, LB2, LB3の主走査方向位置ずれ補正を説明する。なお、図12のレーザビームLB1, LB2, LB3の主走査方向位置ずれ補正是、複写機2のフレームに露光走査部30Bを固定した後の製造途中の工程において、前述したこのシーケンス専用のジグを用いて行われる。また、この補正シーケンスにおいては、まず、レーザビームLB1, LB2の書込位置補正を実行し、基準演算係数K1, 基準平滑電圧1を求める。次いで、レーザビームLB1, LB3の書込位置補正を実行し、基準演算

係数K2、基準平滑電圧2を求めるようになっている。

また、図13(1)においてはレーザビームLB1, LB2(LB3)の主走査方向位置ずれ調整前の画素クロック信号CLK1, CLK2(CLK3)およびレーザビームLB1, LB2(LB3)の書込位置を、図13(2)においてはレーザビームLB1, LB2(LB3)の主走査方向位置ずれ調整後の画素クロック信号CLK1, CLK2(CLK3)およびレーザビームLB1, LB2(LB3)の書込位置を、それぞれ示している。

【0073】OSC352は、周波数FOの画素クロック信号CLK1を出力している(図13(1)(a)参照)。CPU351は、ジグからの指令に基づいて、式(1)の演算係数K1に初期値「0」をセットし(ステップS31)、式(1)の演算を実行し、演算結果をD/A変換器351aにセットし、D/A変換器351aからVCO353aに制御電圧Vcont1=VOを出力させる。これによりVCO353aは、周波数FOの画素クロック信号CLK2を出力している(図10、図13(1)(b)参照)。すなわち、K1=0、Var g1=Vcont1=VOとなるため、Var g1, Vcont1とともに第11図に示す位相比較特性の実線部分における点Pのポイントで安定し、画素クロック信号CLK1, CLK2の周波数は、ともにFOである。

【0074】次いで、ジグから回転多面鏡34の駆動モータに指示を出し、回転多面鏡34を回転させるとともに(ステップS32)、SOSセンサ制御部38に指示し、SOSセンサ制御部38からLD駆動回路32aにSOS-EXP信号を送ってLD31aを強制発光させ、SOSセンサ37がレーザビームLB1を受光して、受光時に出力するSOS信号の周期を検出することにより、回転多面鏡34が所定回転数に達したか否か判断する(ステップS33)。所定の回転数に達すると(ステップS33でY)、ジグからLD駆動回路32a, 32bに1画素分の画像データを1主走査周期ごとにそれぞれ送り、LD31a, 31bを画素クロック信号CLK1, CLK2に同期して主走査方向の同じ位置において1画素分発光させる(ステップS34)。そし

21

て、2次元CCDセンサで検出したレーザビームLB1, LB2の書込位置を表示器上に映し出し、レーザビームLB1の書込位置と、レーザビームLB2の書込位置との主走査方向のずれ量が所定値以内か判断する（ステップS35）。

【0075】このときの初期状態を以下のように仮定する。画素クロック信号CLK1, CLK2間の位相差は、 θ_0 であり、画素クロック信号CLK2が、画素クロック信号CLK1より θ_0 だけ位相遅れの状態である（図11、図13（1）（a）, (b) 参照）。また、CCDセンサーにより観測されるレーザビームLB1, LB2の書込位置の様子から、レーザビームLB2の書込位置の方がレーザビームLB1の書込位置より $\Delta\theta$ だけ位相が進んでいる（第11図（1）（c）, (d) 参照）。なお、 $\Delta\theta$ 中には、画素クロック信号CLK1, CLK2の位相差 θ_0 の部分と、LD31a, 31bの光軸の機械的なずれの部分とが含まれている。

【0076】レーザビームLB1, LB2の書込位置の主走査方向のずれ量が所定値以内でない場合（ステップS35でN）、レーザビームLB1の書込位置に対して、レーザビームLB2の方が進み位相であるかを判断する（ステップS36）。進み位相である場合には（ステップS36でY）、ジグからCPU351に指示を出し、CPU351は、演算係数K1の値を所定値（Vcc/256）だけ減少させ（ステップS37）、式（1）を実行する。これと逆に、遅れ位相である場合には（ステップS36でN）、CPU351は、演算係数K1の値を所定値（Vcc/256）だけ増加させ（ステップS38）、式（1）を実行する。

【0077】具体的には、図13（1）（c）, (d) の様子より、レーザビームLB2の方がレーザビームLB1に対して $\Delta\theta$ 進み位相であるため、書込位置のずれ量 $\Delta\theta$ が所定値以内になるまでステップS35, S36, S37を繰り返し、演算係数K1の値を徐々に減少させていく。演算係数K1の値を減少させると（負になる）、演算後の位相比較特性（のこぎり波形）は、図11中的一点鎖線で示すようにK1の値で定まる分だけ右（位相遅れ）方向へ平行移動する。なお、演算係数K1の値を増加させると（正になる）、演算後の位相比較特性（のこぎり波形）は、K1の値で定まる分だけ左（位相進み）方向へ平行移動する。

【0078】ステップS35, S36, S37、あるいはステップS35, S36, S38が繰り返し実行され、補正が完了した時の状態（書込位置が一致する状態）においては、上記例では、画素クロック信号CLK1, CLK2の位相差が θ_0 から θ_1 まで $\Delta\theta$ だけさらに拡大し、画素クロック信号CLK2が画素クロック信号CLK1に対して、 θ_1 まで位相遅れの状態となる（図11、図13（2）（a）, (b) 参照）。このとき、演算係数K1 = V0 - V1（負の数）、平滑電圧V

22

arg1は点Q（電圧V1）、制御電圧Vcontは一点鎖線上の点R（電圧V0）のポイントで安定し（第11図）、画素クロック信号CLK2の周波数は補正前と変わらずF0に維持される。

【0079】レーザビームLB1, LB2の書込位置の補正がすみ、書込位置のずれ量が所定値以下になると（ステップS35でY）、ジグからの指示により、CPU351は、このときの演算係数K1の値を基準演算係数K1として、不揮発メモリ360に格納する（ステップS39）とともに、このときモニタしている平滑電圧Vavgの値を基準平滑電圧1として不揮発メモリ310に格納し（ステップS40）、ジグからの指示により、回転多面鏡34とレーザダイオード31a, 31bの駆動を停止し（ステップS41）、レーザビームLB1, LB2の書込位置補正を終わる。

【0080】次いで、ステップS31～S41と同様な補正をレーザビームLB1, LB3の書込位置について実行し、基準演算係数K2、基準平滑電圧2を不揮発メモリ360に格納し（ステップS42）、本補正シーケンスの終了となる。

【0081】以降、CPU351は、画像形成の際に内部ROMに格納されたプログラムに従って、不揮発メモリ360から読み出した基準演算係数K1, K2を演算式（1）にセットし、演算式を実行し、演算結果の値をD/A変換器351a, 351cにセットすることにより、D/A変換器351a, 351cからVCO353a, 353bに基準制御電圧Vcont1, 2を入力させる。これにより、VCO353a, 353bから出力される画素クロック信号CLK2, CLK3を画素クロック信号CLK1に対して $\Delta\theta$ ずらされる。したがって、画素クロック信号CLK1, CLK2, CLK3の書込位置を主走査方向に高い精度で確実に一致させることができ、ジッタをなくして画質を向上させることができる。

【0082】ところで、環境変化などにより、OSC352の発振周波数や、VCO353a, 353bの入力電圧-発振周波数特性が変化する場合がある。この場合には、演算式（1）に、基準演算係数K1, K2をセットしても、画素クロック信号CLK1, CLK2, CLK3の位相差が初期調整値からずれ、その結果、レーザビームLB1, LB2, LB3の書込位置のずれが再発生する。例えば、温度変動により、OSC352が出力する画素クロック信号CLK1の周波数が増加してしまったとする。この場合、PLLループはVCO353a, 353bの周波数もあげるよう働き、制御電圧Vcont1, 2、平滑電圧Vavg1, 2ともに上昇する。こうして、レーザビームLB2, LB3の書込位置がレーザビームLB1の書込位置に対して位相おくれ方向にずれてしまう。これを防止するため、この複写機2はレーザビームLB1, LB2, LB3の書込位置のずれ

れを調整するモードを備えており、CPU351は、制御プログラムに従って、図12に示す書込位置のずれ調整処理を実行するようになっている。

【0083】図12は、画像形成に当たってCPU351が実行する書込位置のずれ調整処理の動作を示すフローチャートである。CPU351は、操作部80のコピーが押されたときに発生されるONエッジを検出したか否かを判断し（ステップS51）、ONエッジを検出しなければ、不図示のメインルーチンにリターンし、ONエッジを検出するのを待つ。ONエッジを検出すると（ステップS51でY）、CPU351は、不揮発メモリ360から基準演算係数K1、K2のデータを読み出して、上記演算式にセットし（ステップS52）、この演算を実行し、演算結果のデータをD/A変換器351a、351cにそれぞれセットする。これによりVCO353a、353bから画素クロック信号CLK2、CLK3が出力され、LPF359a、359bから平滑電圧Vavg1、2が出力される。

【0084】次いで、CPU351は、A/D変換器351b、351dを介してLPF359a、359bが出力する平滑電圧Vavg1、2をモニタし、このモニタした電圧と、不揮発メモリ360に格納しておいた基準平滑電圧1、2の値との差が所定値以内であるか否か判断する（ステップS53）。なお、平滑電圧Vavg1、2は、現時点における画素クロック信号CLK1、CLK2の位相差、画素クロック信号CLK1、CLK3の位相差をそれぞれ示し、基準平滑電圧1、2はレーザビームLB1、LB2、LB3の書込位置が主走査方向に一致している場合における画素クロック信号CLK1、CLK2の位相差、画素クロック信号CLK1、CLK3の位相差をそれぞれ示している。したがって、平滑電圧と基準平滑電圧とに差がある場合には、平滑電圧が基準平滑電圧と一致するように演算係数を変更すれば、OSC352や、VCO353a、353bの特性の変化に拘わらず、レーザビームLB1、LB2、LB3の書込位置を主走査方向に一致させることができる。

【0085】この差が所定値を超える場合には（ステップS53でN）、平滑電圧Vavg1、2が基準平滑電圧1、2よりも低いか否かを判断する（ステップS54）。低い場合には（ステップS54でY）、CPU351は、演算式（1）にセットする演算係数K1、K2の値を所定値だけ減少させ（ステップS55）、ステップS53に戻る。このステップS53、S54、S55を繰り返し、LPF359a、359bが出力する平滑電圧Vavg1、2と、基準平滑電圧1、2との差を所定値以内に収束させる。高い場合には（ステップS54でN）、演算式（1）にセットする演算係数K1、K2の値を所定値だけ増加させ（ステップS56）、ステップS53に戻る。このステップS53、S54、S56を繰り返し、LPF359a、359bが出力する平滑

電圧Vavg1、2と、基準平滑電圧1、2との差を所定値以内に収束させる。

【0086】ステップS53において、LPF359a、359bが出力する平滑電圧Vavg1、2と基準平滑電圧1、2との差が所定値以内であると、CPU351は、そのとき演算式（1）にセットしている演算係数K1、K2の値を変更したか否か（ステップS57）。変更していない場合は（ステップS57でN）、メインルーチンにリターンする。変更している場合は（ステップS57でY）、現在の演算係数K1、K2を新たな基準演算係数として不揮発メモリ360に記憶し直し、メインルーチンにリターンする。

【0087】したがって、この書込位置のずれ調整処理によれば、環境変化によりOSC352の発振周波数や、VCO353a、353bの入出力特性がたとえ変化したとしても、コピー動作前に基準演算係数のデータを補正し、画像形成時に補正した基準演算係数のデータが演算式（1）にセットされるので、レーザビームLB1、LB2、LB3の書込位置を主走査方向に高い精度で確実に一致させることができ、ジッタをなくして画質を向上させることができる。

【0088】（変形例）以上、本発明に係るマルチビーム画像形成装置を実施の形態に基づいて説明してきたが、本発明の内容が、上述の実施の形態に限定されないのは勿論であり、以下のような変形例が考えられる。

【0089】上記実施の形態1においては、CPU351が不揮発メモリ310から基準制御電圧を読み出して、このデータをD/A変換器351にセットし、これによりVCO303aに入力する制御電圧Vcontを設定したが、Vccを可変抵抗器で分圧し、分圧比を調整してVCO303aへの制御電圧Vcontを設定するようにしてもよい。

【0090】また、上記実施の形態2においては、位相比較器358a、358bにRS-FFなどを用いたが、オペアンプによる加減算回路をベースとした構成としてもよい。

【0091】また、上記実施の形態2にあっては、第2のPLLにおいて画素クロック信号CLK1、CLK3を比較するようにしたが、画素クロック信号CLK2が画素クロック信号CLK1と同周波数に同期して、位相差が調整され、調整された位相差に固定されるので、第2のPLLにおいて画素クロック信号CLK2、CLK3を比較するようにしてもよい。

【0092】また、上記実施の形態2においては、レーザビームの数を3としたが、2あるいは4以上としてもよく、Nが4以上の場合には、図8に示すPLL回路を（N-1）個設置すればよい。

【0093】また、上記実施の形態では、D/A変換器、A/D変換器を8ビットとしたが、16ビット等の他の分解能であってもよい。

【0094】また、上記実施の形態ではLDを直接変調駆動したが、LD駆動回路の出力をAOMに入力し、LDから出射されたレーザビームをAOMにおいて光変調するようにしてもよい。

【0095】さらに、上記実施の形態では単一の感光体ドラムで構成される単色の複写機で実施したが、単一の感光体ドラムで構成されるカラー複写機や、複数の感光体ドラムで構成されるタンデム型複写機の他、プリンタ、FAXや、これらの複合機などの画像形成装置にも適用できる。

【0096】

【発明の効果】以上のように本発明に係るマルチビーム画像形成装置によれば、画素クロック信号に同期して光変調されたN(2以上の整数)本の光ビームを副走査方向に一定の間隔をおいて主走査することにより、像担持体上に画像を形成するマルチビーム画像形成装置であって、N本中の1本の光ビームに対する基準画素クロック信号を生成する基準画素クロック信号生成手段と、前記基準画素クロック信号に基づいて、残余の光ビームに対する(N-1)個の残余画素クロック信号を生成するPLL回路と、を備え、前記PLL回路は、基準画素クロック信号と(N-1)個の残余画素クロック信号各々との位相差を比較する位相比較手段を有し、位相比較手段の比較の結果、残余画素クロック信号の基準画素クロック信号に対する相対的位相差を像担持体上における各光ビームの書込位置が主走査方向に一致する場合における位相差に制御するので、基準画素クロック信号と残余画素クロックとの位相差を微細に調整することができ、N本の光ビームの書込位置を主走査方向に高い精度で確実に一致させることができ、ジッタをなくして画質向上させることができる。

【図面の簡単な説明】

【図1】実施の形態1に係る複写機1の全体の構成を示す図である。

【図2】図1の露光走査部30Aの構成を示す図である。

【図3】図2に示すVCO303a, 303bの入力電圧と、発振周波数との関係を示す図である。

【図4】図2に示す位相比較装置305およびLPF309の位相比較特性を示す波形図である。

【図5】レーザビームLB1, LB2の主走査方向位置ずれ補正シーケンスを示すシーケンス図である。

【図6】レーザビームLB1, LB2の主走査方向位置

ずれ補正の前後の様子を示す波形図である。

【図7】画像形成に当たってCPU301が実行する書込位置のずれ調整処理の動作を示すフローチャートである。

【図8】実施の形態2に係る複写機2の全体の構成を示す図である。

【図9】図8の露光走査部30Bの構成を示す図である。

10 【図10】図8に示すVCO353a, 353bの入力電圧と、発振周波数との関係を示す図である。

【図11】図8に示す位相比較装置355a, 355bおよびLPF359a, 359bの位相比較特性を示す波形図である。

【図12】レーザビームLB1, LB2, LB3の主走査方向位置ずれ補正シーケンスを示すシーケンス図である。

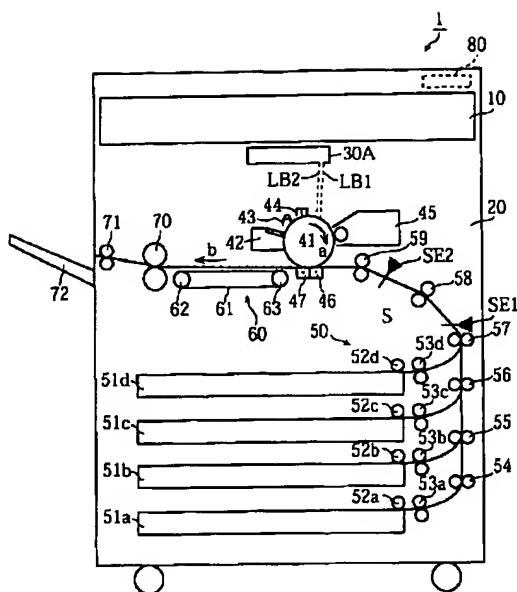
【図13】レーザビームLB1, LB2, LB3の主走査方向位置ずれ補正の前後の様子を示す波形図である。

20 【図14】画像形成に当たってCPU351が実行する書込位置のずれ調整処理の動作を示すフローチャートである。

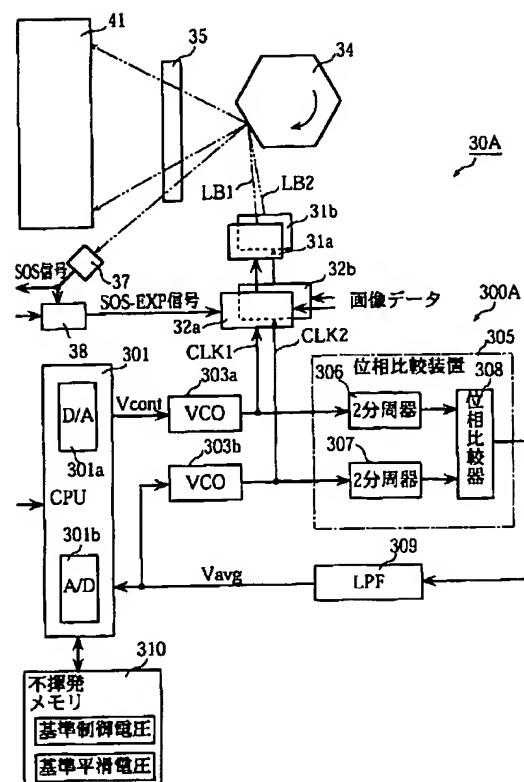
【符号の説明】

1, 2	複写機
30A, 30B	露光走査部
31a, 31b, 31c	LD
32a, 32b, 32c	LD駆動回路
41	感光体ドラム
301, 351	CPU
301a, 351a, 351c	D/A変換器
301b, 351b, 351d	A/D変換器
303a, 303b, 353a, 353b	VCO
305, 355a, 355b	位相比較装置
306, 307, 356a, 356b, 357a, 357b	2分周器
308	位相比較器
309	LPF
310, 360	不揮発メモリ
352	OSC
40 LB1, LB2, LB3	レーザビーム
CLK1, CLK2, CLK3	画素クロック信号
V _{cont} , V _{cont1} , 2	制御電圧
V _{avg} , V _{avg1} , 2	平滑電圧

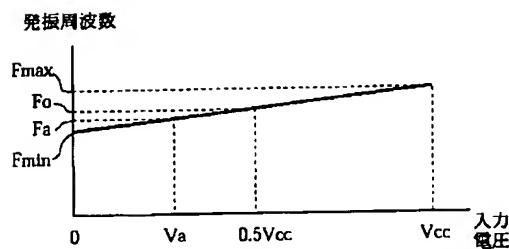
【図1】



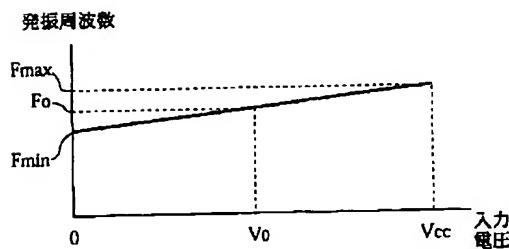
【図2】



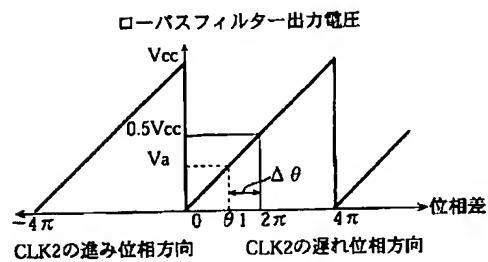
【図3】



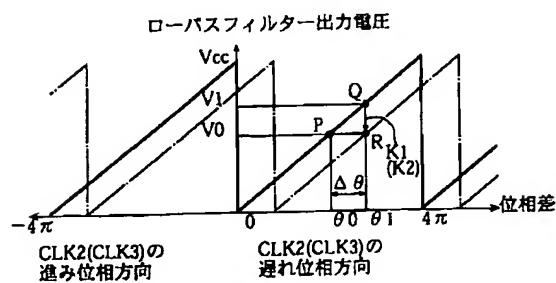
【図10】



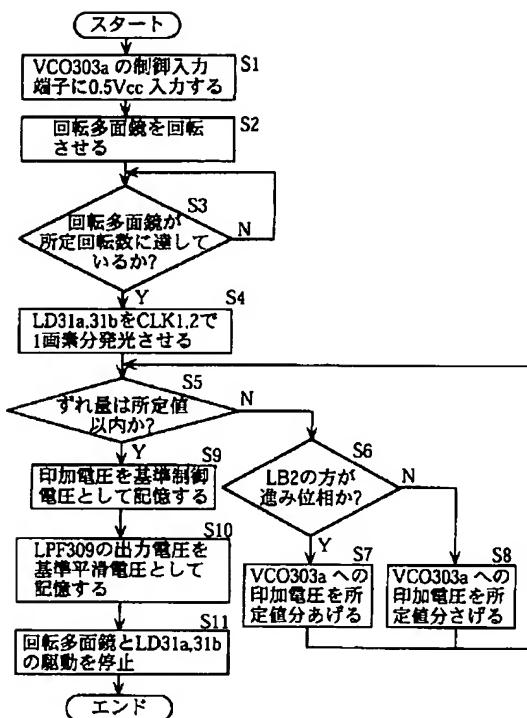
【図4】



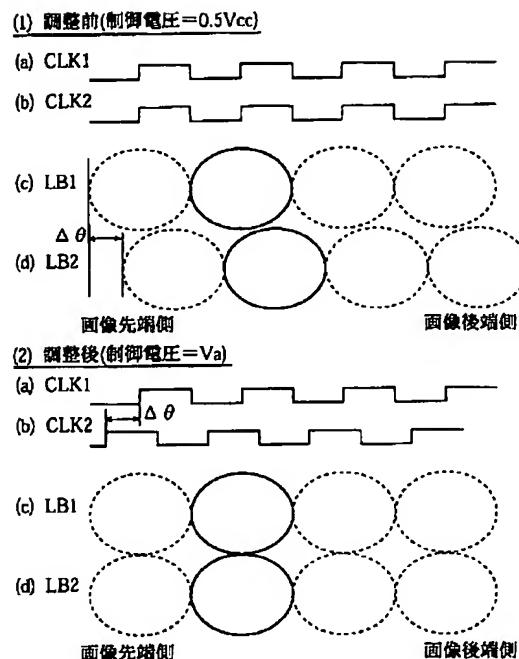
【図11】



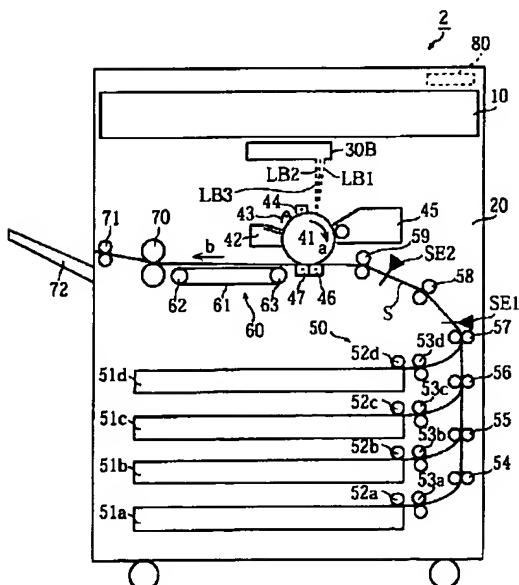
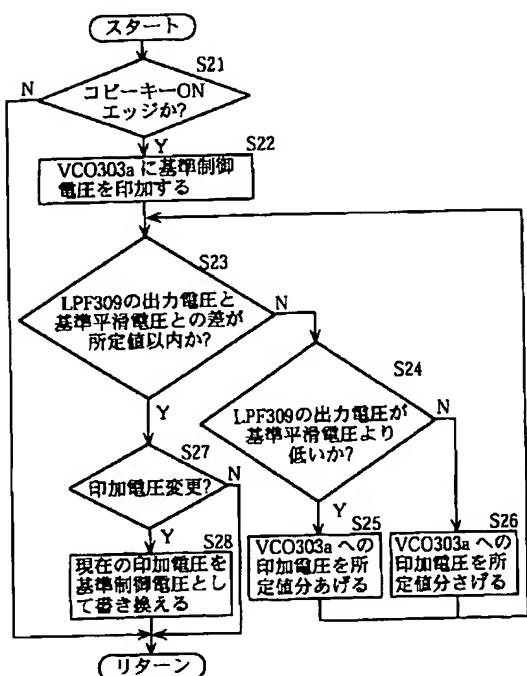
〔図5〕



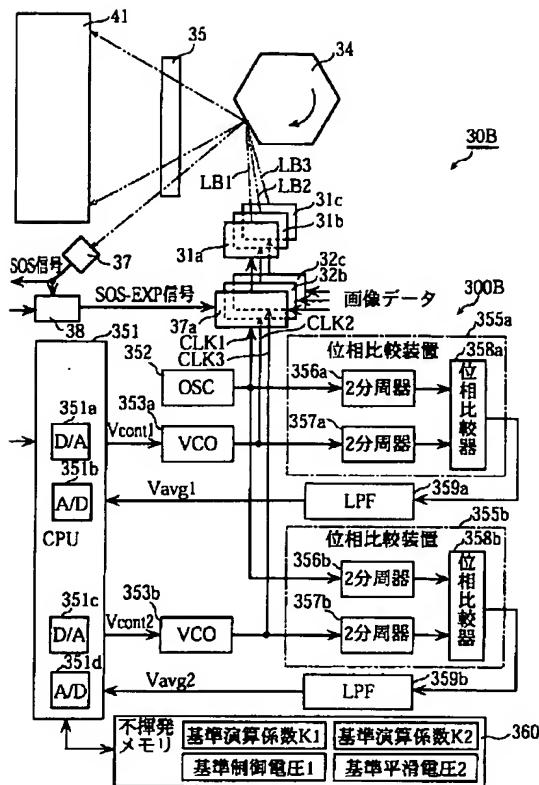
【 6】



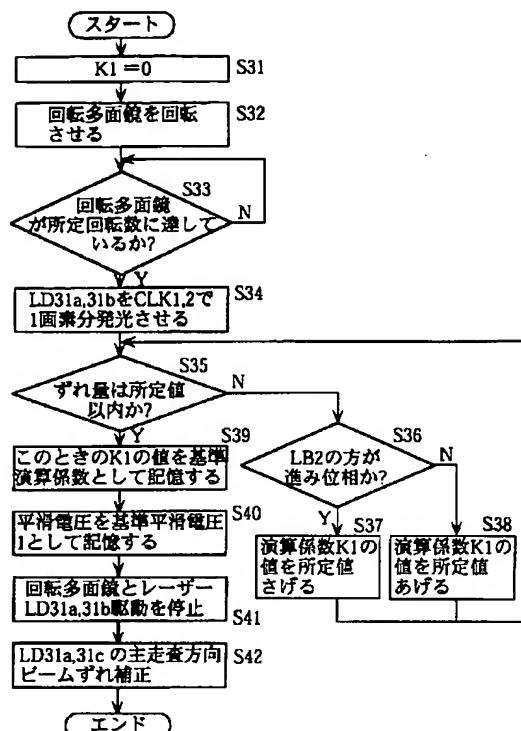
【図7】



【図9】



【図12】



【図14】

